

CMOS レイアウト設計法— 5

(ノイズと特性バラツキをおさえる CMOS レイアウト設計法)

(C) 2007 Sumiaki Takei

1. IC のノイズ対策

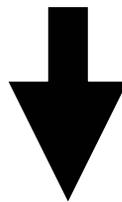
CMOS回路では微細加工技術の進歩によりデジタル回路とアナログ回路の両方を混載して、1チップ化したLSIが増えてきた。昨今では、携帯電話用の高周波1チップCMOSLSIが頻繁に話題になる。

しかし、混載した場合、デジタル回路のノイズがアナログ回路へ混入し、S/N比が悪くなり誤動作を起こす原因となっている。デジタル回路はパルスの変化点ごとに発生する雑音源であるので回路的並びにレイアウト的に十分な対策が必要である。

ノイズの原因は、CMOSの貫通電流や消費電流による電源線の電位変動（抵抗性によるものとインダクタンスによるものがある）、寄生コンデンサによる信号のカップリングノイズ等があり、各々の原因に対してそれぞれ対策が必要である。

デジタル回路からアナログ回路へのノイズの加入経路としては

- ① 電源線からのノイズ（アルミ電源配線やウェルなどを通して混入）
- ② IC内のデジタル信号配線とアナログ信号配線間のカップリングノイズ
- ③ ICの入出力端子（パッド）やボンディングワイヤ並びにリードフレームのピン間のカップリングノイズ



対 策

(図1のチップ図参照)

①の対策としては

- 電源配線を太くして配線抵抗を下げる。
- デジタル用とアナログ用の電源配線をはっきり分けて配置する。できれば電源端子も別々に配置する。
- デジタル回路とアナログ回路のウェルを共通にしない。（図1のP⁺のガードリング）また、基盤に対して電源電位に固定するためのN⁺ガードリングのコンタクトをアナログGNDからとる。
- デジタル回路とアナログ回路の配置はなるべく離し、その間にはガードリングを配して容量結合を妨げる。

②の対策としては

- デジタル回路部の配線とアナログ回路部の配線を並列に配置したり、交差させたりしない。どうしても並列配置する場合は、間に電位の固定した配線（例えば電源線）を配置したり配線の距離を離す。

③の対策としては

- デジタル回路の端子とアナログ回路の端子を隣接配置しない。また、端子間に電位の安定したダミー端子（電源線と固定）を配置する。
- ボンディングワイヤ間やリードフレームのピン間の距離を離す。（パッケージ設計）



※ 下図はN基盤、Pウェル構造の場合のチップ図面

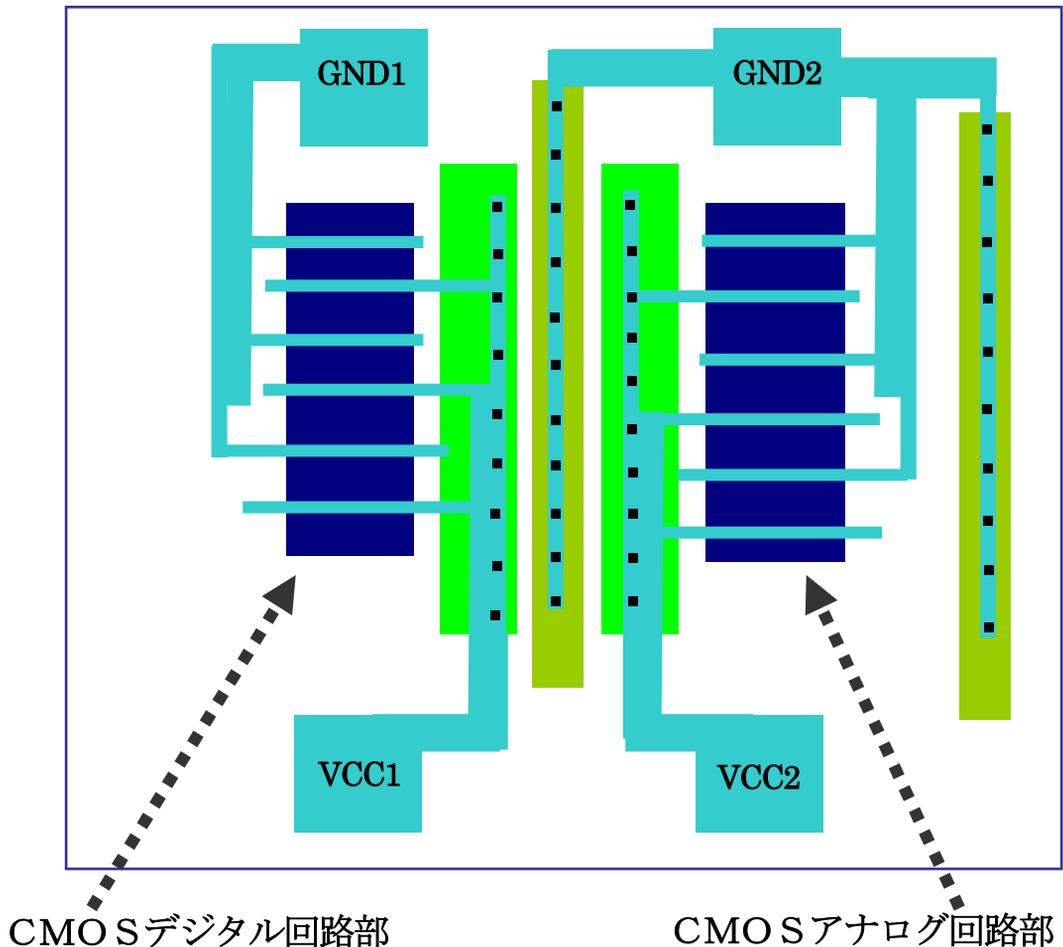


図1 デジタルーアナログ混載チップのノイズ対策

●基盤ノイズ対策（ガードリング）

基盤上に形成されたアナログ回路は、デジタル回路部で発生したトランジエントノイズ（基板ノイズ）によりS/N比が下がり誤動作する場合があります。基盤ノイズから感度の高いアナログ部分を分離するためにはガードリングの配置が有効である。

ガードリングは基盤または、Pウェルに生じた電荷をGND（または電源ライン）に導くための低インピーダンス（N⁺拡散層またはP⁺拡散層）の経路である。チップのレイアウト設計では、図1のようにGND端子とVCC端子はそれぞれデジタル用とアナログ用に分けて配置するべきである。

基盤とGND端子との接続は少し留意する点がある。どちらのGND端子と接続するのか、または両方のGND端子と接続していいのか。

図1におけるGND1とGND2端子の両方をガードバンドで基盤に接続すると、アナログ回路部とデジタル回路部の両者間に低インピーダンスの経路を作ることになりGNDの分離の意味が損なわれる。一般的にはアナログGNDと基盤電位が同一に動くことを保障するためにアナログGNDと基盤に接続するべきだと言われている。ただ各チップによって環境（設計仕様など）が違うわけだから、SPICEなどのシミュレータでノイズの大きさを検証して決めるべきであろう。

もう少し具体的に見ていこう。（[図2参照](#)）

デジタルクロック配線とシリコン基盤の間には寄生キャパシタ（MOS）があります。デジタル回路のクロック信号が急峻に変化した場合、寄生キャパシタが放電され、配線下に蓄積していた電子が放出されます。放出された電子は基盤の中を流れ、抵抗成分により基盤電位が変動し、アナログ部の配線の寄生キャパシタを介してアナログ信号線にノイズを誘起します。同様にMOSのドレインの変動によってもPN接合に蓄積した電子が基盤中に放出されます。ノイズ源からこの基盤内に放出された大半の電子を吸い取る働きをするのがガードリングである。

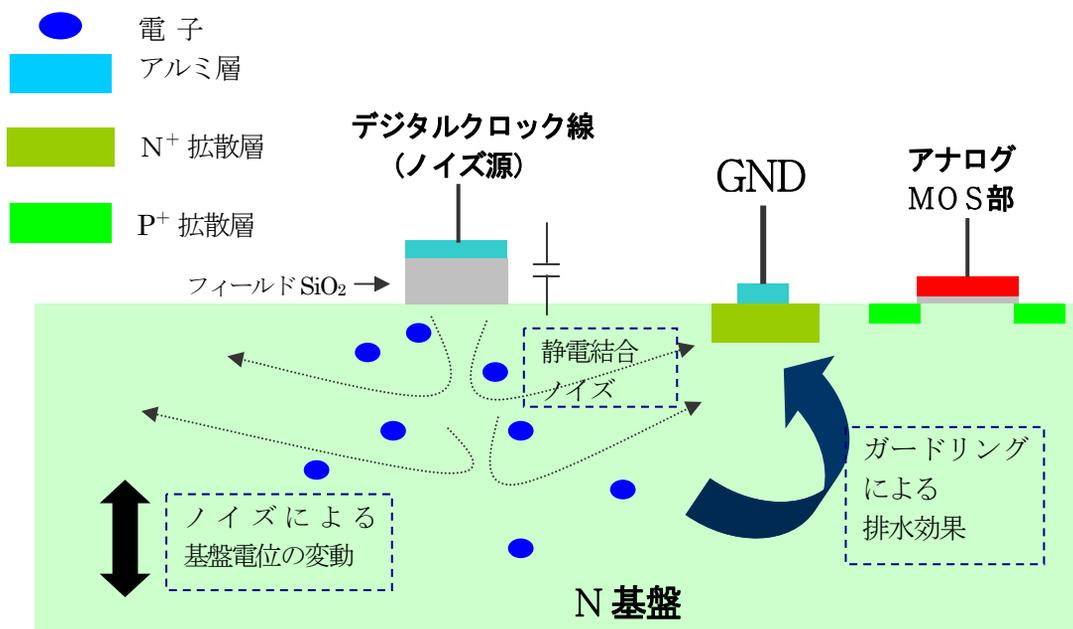


図2 基盤ノイズを防ぐガードバンド

2. 素子特性のバラツキ対策レイアウト法

●パッケージングによるチップへの応力を考慮したレイアウト

チップをモールド等によりパッケージングした場合、特にチップ周辺には大きな応力がかかる。周辺部に配置したMOSトランジスタとチップ中央部分に配置したMOSトランジスタでは、チップへの応力の大きさがちがうので、MOS特性（ドレイン電流など）が異なる。回路設計時にこの影響の度合いを考慮することは困難である。正確な特性が要求されるような回路ブロックはチップへの強い応力の影響を受けにくいチップ中央への配置が望ましい。

抵抗ラダーを利用した電流加算型D/A変換回路（それぞれの桁の重みに相当する電流値を、抵抗値で重み付けてやるもの）において、抵抗をCMOSトランジスタで構成する場合のトランジスタ配置においても、チップ応力を考慮する必要がある。基本抵抗（最下位ビット）に対して、2個、4個、8個、16個・・・とMOSトランジスタをレイアウトする時に、応力が各重みのCMOSトランジスタ群に均等にかかるような配置が望ましい。

下図に悪いレイアウトと良いレイアウト例を示した。

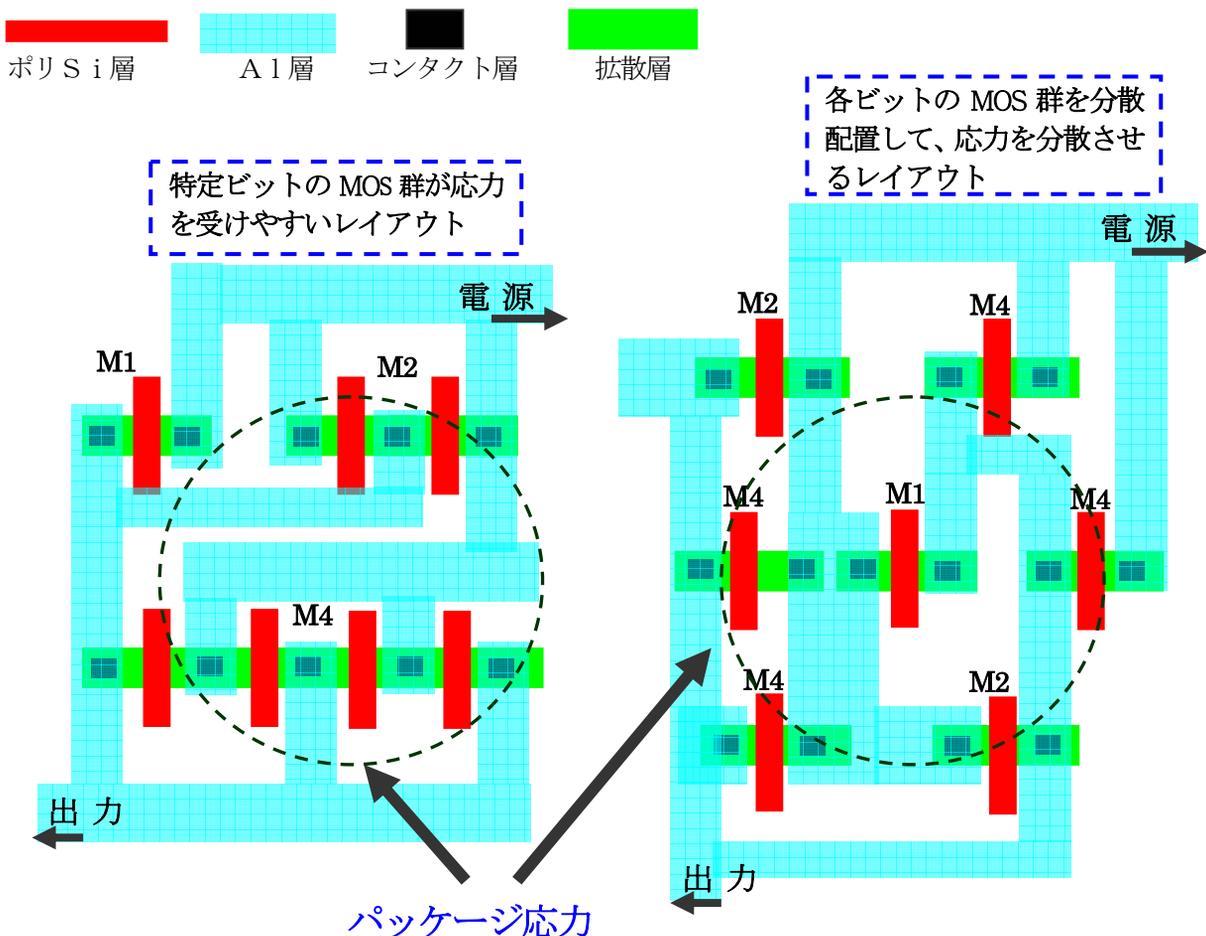


図3 パッケージ応力による MOS 特性のバラツキ防止レイアウト

● ゲート投影効果による特性バラツキを防止するレイアウト法

CMOS の製造におけるイオン打ち込み工程では、**チャネリング**を防止するためにウェーハ面を 7° ほど傾けて注入を行う。その結果、ソースまたはドレイン端部における細い帯状の領域へのイオン注入が減少することになり、イオン注入領域がアニールされた後のソース・ドレイン間の横方向拡散にわずかな非対称性を生成することになる。(ゲート投影効果)

※**チャネリング**とは、

注入されたイオンが、原子配列の隙間を通して Si 基板の深い位置まで達することをチャネリング現象といいます。イオンビームを結晶軸や結晶面に沿って注入すると、Si 結晶の奥深くまで侵入する。基板の面方位、入射角度、イオンの種類、エネルギー等でチャネリング現象は、影響を受ける。チャネリングを防止するため、面方位 $\langle 100 \rangle$ 基板では、注入の角度を 7° 傾斜させる。イオンビームが結晶軸と一直線になったらイオンはウェーハ内に非常に深く侵入する。このため注入軸と結晶軸が一直線にならないようにし、プロファイルの予測を確実なものにする。

図4にゲート投影効果の原理を示した。MOSのソースとドレインのゲートとのオーバーラップ容量が非対称になることにより、差動回路などのペアMOSでは特性の差が出て動作精度が悪くなる。

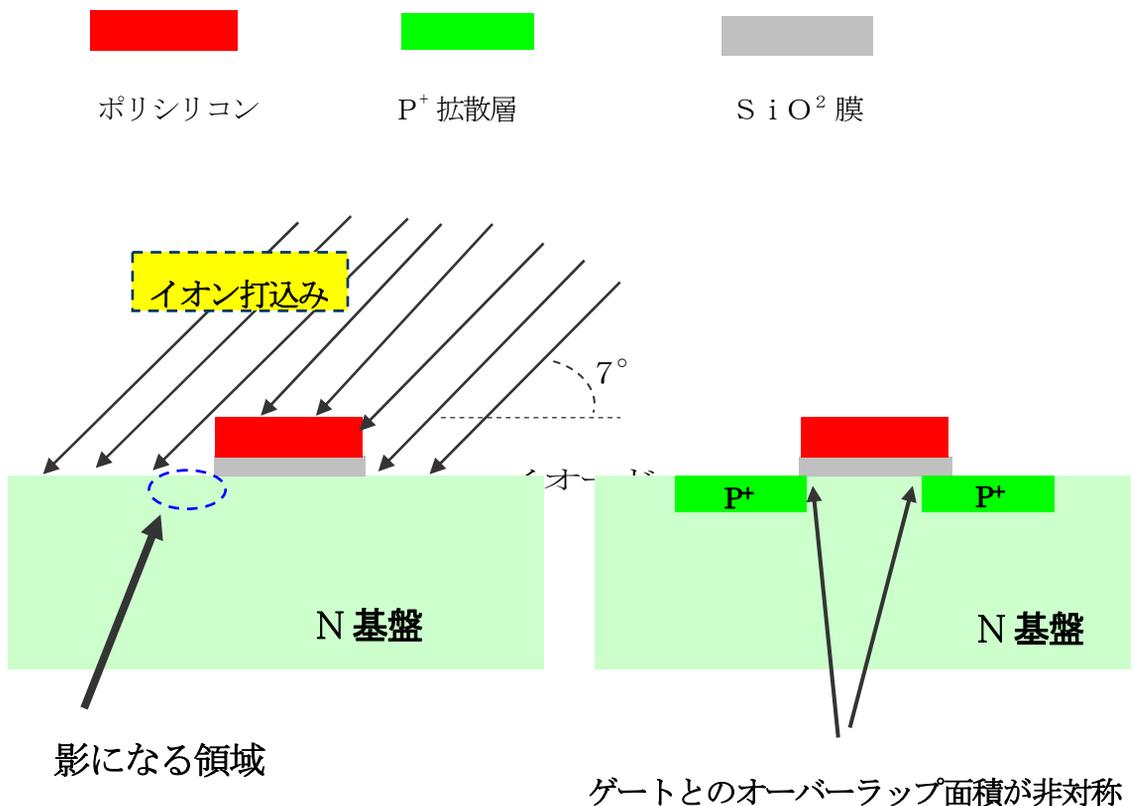
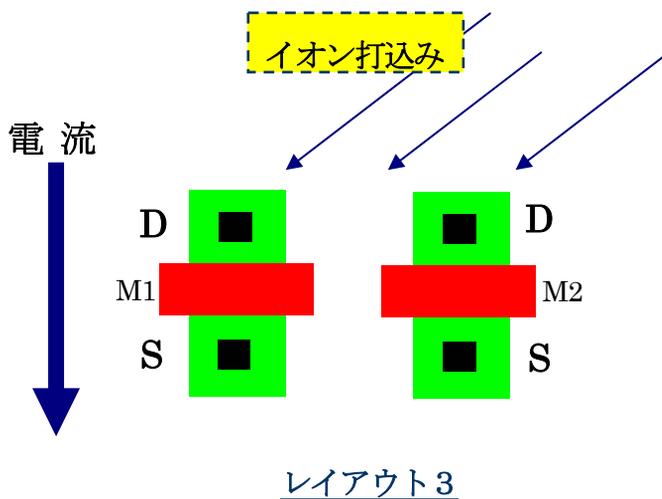
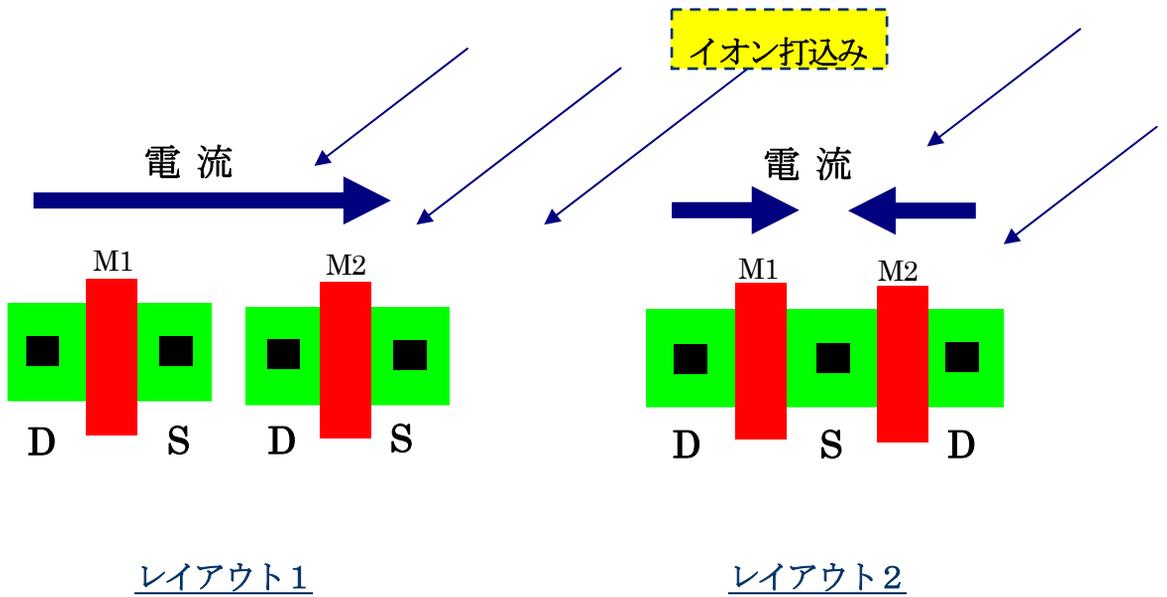


図4 ゲート投影効果によるオーバーラップ面積の非対称現象

レイアウト例をみてわかる通りペア MOS の配置は同じ方向で配置するのが基本である。なぜなら、リソグラフィーやウェーハプロセスの多くの工程は異なる方向には異なる振る舞いをするからである。

それでは、このゲート投影効果を軽減させるレイアウトはどうすればいいのか。ペアMOSを1組レイアウトした例を下図に3組示した。どれが一番ゲート投影効果を受けにくいと考えてみよう。



それぞれのレイアウトについて、解説しましょう。まず、それぞれのレイアウト例に電流の向きが書いてあり、D、Sつまりドレイン・ソースが記入してあります。どちらがソースでどちらがドレインなのかという疑問を持った方がいるでしょう。

答えは簡単です。MOS回路で電流の流れる向き、その向きがドレイン → ソースです。

レイアウト1はM1、M2ともに左がドレイン、右側がソースなのでイオン打ち込みによるゲートオーバーラップ容量の違いの影響は均等に影響する。しかし、M1とM2の周辺環境の違いから対称性は崩れている。

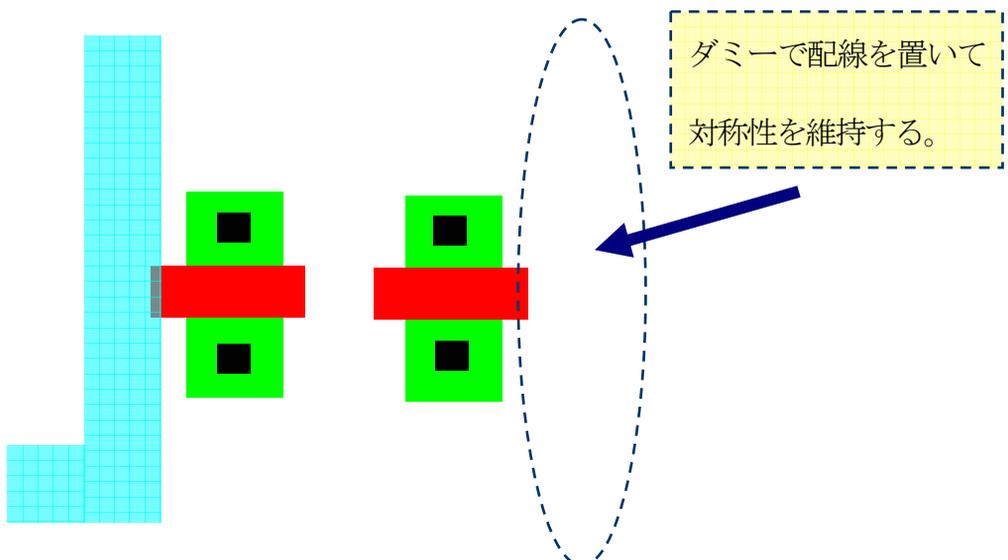
M1のソース領域から右側にM2が見えるが、M2のソース領域から右側はフィールド酸化膜しか見えません。逆にドレインを見ると、M1のドレイン領域の左側はフィールド領域しか見えませんが、M2のドレイン領域の左側はM1が見えます。つまり、M1とM2の**周辺環境**が異なっているということで、対称性が崩れています。

レイアウト2はM1、M2の左側と右側を比べた場合、M1の左側がドレインなのに、M2の左側はソースになっている。右側についても同様に異なる。左側にゲート投影効果が出るので、M1とM2のソース・ドレインのオーバーラップ容量が異なることになり対称性が崩れる。

レイアウト的には小さくなる配置なので、特性の対称性が特に求められない回路では優れたレイアウトである。

レイアウト3がこの中では一番良好なレイアウトである。M1、M2ともに上側がドレイン、下側がソースなのでイオン打ち込みによるゲートオーバーラップ容量の違いの影響は均等に影響するので、対称性が確保できる。

しかし、下図のようにアルミ配線が片側だけ配置されている場合は、対称位置にダミーのアルミ層（同じパターン）を配置して対称性を維持する必要がある。



●マルチフィンガーとローディング効果対策のレイアウト法

ローディング効果とは、MOSの多結晶シリコン膜を反応性イオン・エッチング装置で切り出す時、多結晶シリコン・パターン密度が高い領域ではエッチング粒子の消耗が激しく、エッチングする速度が遅くなります。この現象をローディング効果と呼んでいます。

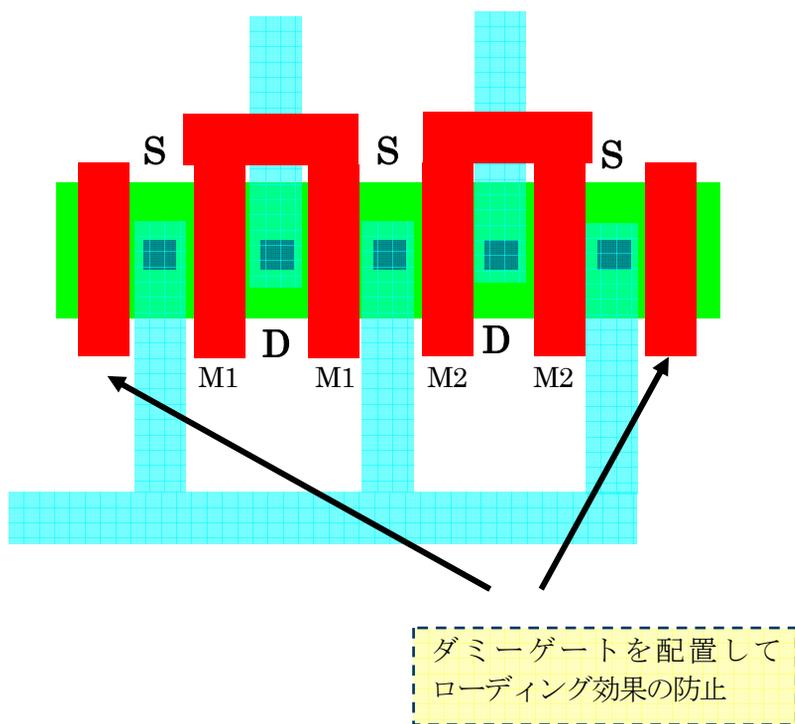
ペアMOSの特性の均等性が求められる場合は、ゲート形状に差が出ないようなレイアウト設計が必要です（レイアウト4参照）。エッチング粒子の流入が左右のMOSで均等になるようにダミーゲートを配置しています。

このレイアウトは、ペアMOSを2つに分割して配置してあり、先ほどのゲート投影効果の影響も均等になるように考慮されて配置されていることがわかると思います。このようにゲートを分割配置することをマルチフィンガー（インタデジタイゼーションと呼ぶこともある）という。

一般に差動MOSのサイズ（W/L）は大きい場合が多い。ゲート抵抗を減らすためにいくつかに分割レイアウトすることが求められる。ただ、ソース・ドレインの周囲長につく容量が増加することを念頭に置いておく必要がある。どれくらいに分割するかはSPICE等のシミュレーションでトランジェント特性、AC特性等を確認しながらになると思うが概算で言えば、

- ・分割したゲート抵抗 $R_f < (1 / \text{分割ゲート全体の伝達コンダクタンス})$
- ・分割したゲート抵抗 $R_f \approx (1 / 10 \cdot g_m)$

↓
分割ゲートのそれぞれのチャンネル幅 W の設定



レイアウト4